Protokoll zum Praktikum des Moduls Technische Informatik an der JLU Gießen

Technische Informatik Versuch 6

Julian Bergmann, Dennis Getzkow

4. Juli 2013

Versuch 6

1 Einführung

Im Versuch 6 beschäftigten wir uns mit Zeit–zu–Digital–Wandlung. Genauer sollte hierbei auf Single–Delay–Chain–TDC eingegangen und ein solcher aufgebaut und getestet werden.

2 Vorbereitende Fragen

1. a) *Skizzieren Sie ein Blockschaltbild zur Messung eines Zeitintervalls unter Verwendung eines Zählers.*
   Dieses ist in Abbildung 1.1 dargestellt.
   Hierbei wurde ein zustandsgesteuertes Flipflop, auch *Latch* benutzt, das zwischen Start– und Stop–Signal transparent ist, nach dem Stopp–Signal jedoch den letzten Zustand, also der Zählerstand zur Zeit des Stopp–Signals, hält. Latches speichern dabei nur 1 Bit, es muss also für jedes Ausgabebit des Zählers ein Latch benutzt werden, das parallel zu den anderen Latches am entsprechenden Zählerausgang angeschlossen wird. In Abbildung 1.1 ist nur 1 Zähler–Ausgabe–Bit dargestellt.

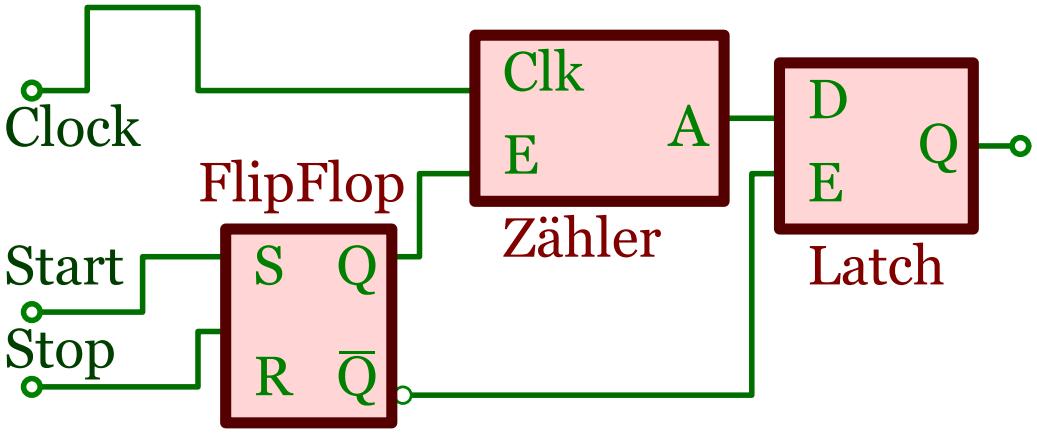

Abbildung 1.1: Schaltung zu Aufgabe 1a): Messung des Zeitintervalls unter Verwendung eines Zählers.

   b) *Welche Taktfrequenz wird benötigt um Zeitintervalle auf 1 ns genau Aufzulösen.*
   Die Zeitauflösung bei einer Zählerschaltung ist durch die Taktintervalle der Referenzsignals gequantelt, daher gilt:

$$T_{CLK} << \Delta t \quad \Rightarrow \quad f_{CLK} >> \frac{1}{\Delta t}$$

   Und somit für 1 ns:

$$\Delta t >> 1 \text{ ns} = \frac{1}{f_{CLK}} \quad \Rightarrow \quad f_{CLK} >> 1 \text{ GHz}$$

   Damit wird also mindestens 1 GHz benötigt.

c) *Skizzieren Sie eine Schaltung zur Realisierung eines Single–Delay–Chain–TDC. Verwenden Sie hierzu nur Bauteile, die ihnen im Praktikum zur Verfügung stehen.*
Die Realisierung eines Single–Delay–Chain–TDC über D–Flipflops und Delay-Elemente wurde in Abbildung 1.2 dargestellt.

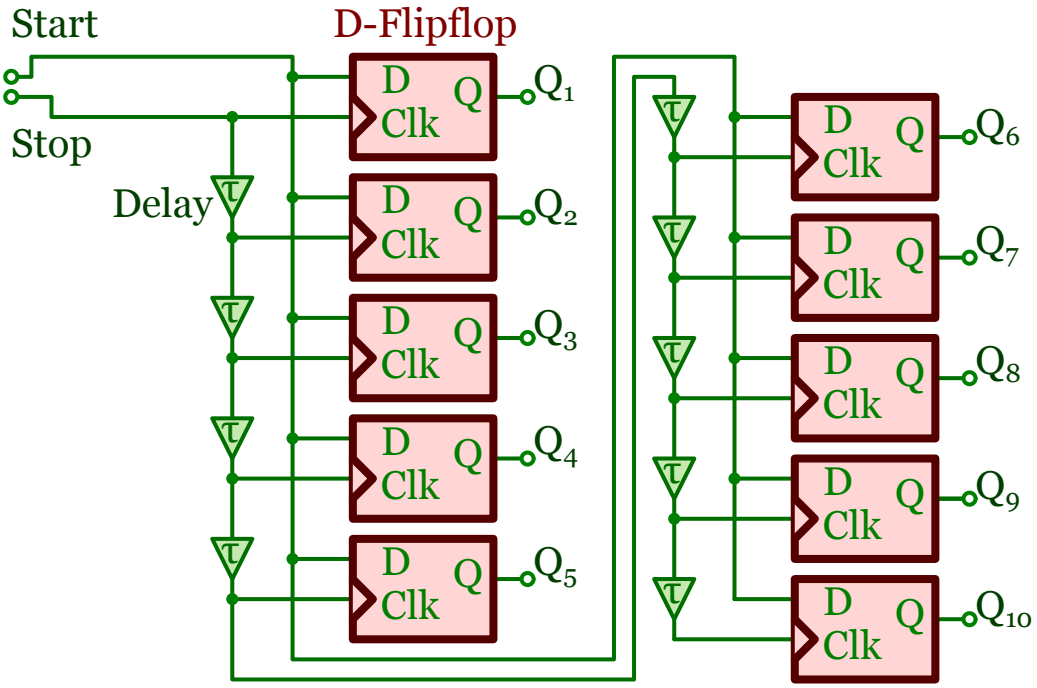

Abbildung 1.2: Single–Delay–Chain–TDC mit D–Flipflops und Delay-Elementen

d) *Was ist die maximal erreichbare Auflösung eines Single–Delay–Chain–TDC bzw. eines Vernier–Delay–Chain–TDC?*

In einem Single–Delay–Chain–TDC quanteln die Delay–Elemente das Stop–Signal und damit die erreichbare Auflösung. Somit entspricht die maximale Auflösung der Verzögerungszeit τ der verwendeten Delay–Elemente.

$$\Delta t > \tau$$

Zusätzliche Einflüsse, wie Kabelverzögerung etc. verringern die Auflösung allerdings.

Bei einem Vernier–Delay–Chain–TDC wird zusätzlich zu dem Stopp–Signal auch das Start–Signal mit Delay–Elementen verzögert, sodass die Quantisierung nun durch die Differenz der Verzögerungen $|\tau_1 - \tau_2|$ verursacht wird:

$$\Delta t \approx |\tau_1 - \tau_2|$$

Hierbei wird auch deutlich, dass sich konstante Verzögerungen bzgl. τ annullieren, was die Verlässlichkeit der Formel verbessert.

2. a) *Realisieren Sie eine Schaltung, die eine Auflösung von mindestens zehn Stufen ermöglicht.*

Die Schaltung von Abbildung 1.2 wurde, wie in Abbildung 1.3 dargestellt, realisiert:

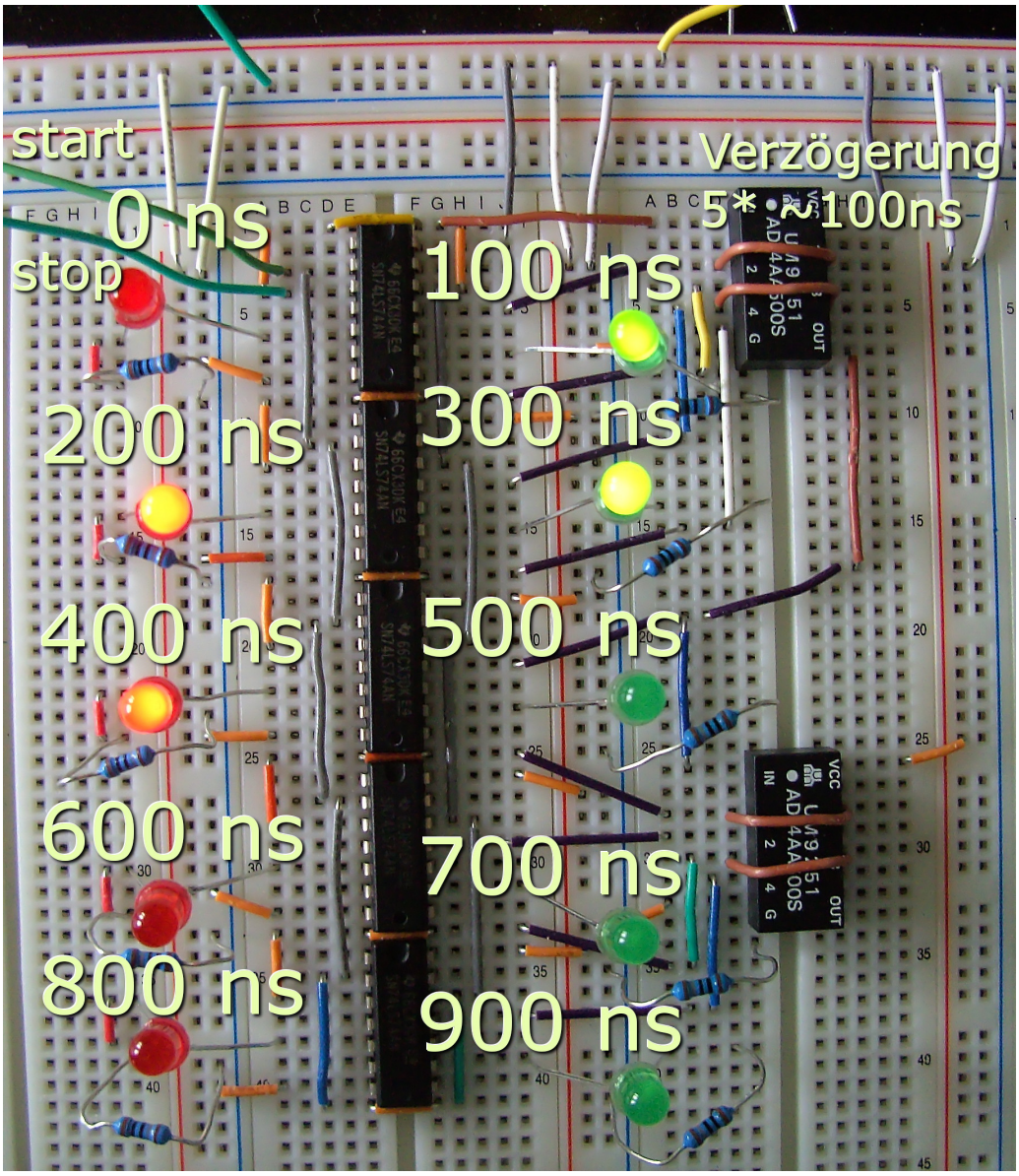

Abbildung 1.3: Aufbau Single–Delay–Chain–TDC mit 10 D–Flipflops und 9 100ns Delay-Elementen

b) *Als Start– und Stopp–Signal steht Ihnen eine vorbereitete Schaltung zur Verfügung. Bestimmen Sie mit Hilfe Ihres TDC die Verzögerungen in diesem Aufbau. Bestimmen Sie die Verzögerung zusätzlich mit dem Oszilloskop und vergleichen Sie beide Messungen.*
Nach Anschluss der vorbereiteten Schaltung ergab sich die in Abbildung 1.3 dargestellte Situation. Die erste Diode leuchtet aufgrund kleinerer Schwingungen am Impulsanfang nicht, die folgenden 4 Dioden leuchten während die übrigen aus bleiben.

Durch dieses ungenaue Ablesen (± 100 ns) ergibt sich somit ein Wert zwischen 400 ns und 500 ns.
Danach wurde die tatsächliche Latenz mit dem Oszilloskop bestimmt. Abbildung 1.4 zeigt das Oszilloskop–Bild. Ablesen ergab etwa einen Wert von

$$5.1\ \text{DIV}\ \pm\ 0.1\ \text{DIV}\ \mathrel{\hat{=}}\ 510\ \text{ns}\ \pm\ 10\ \text{ns}$$

. Die Auflösung und Messmethode der Flanke ist in Abbildung 1.4 eingezeichnet.

Im Vergleich fällt auf, dass der tatsächliche Wert nicht im an den LEDs abgelesenen Bereich liegt. Da dieser Bereich jedoch mit einer Ableseungenauigkeit von 100 ns behaftet ist und der abgelesene Wert das Intervall nur um 10 ns verlässt, stimmen beide Messungen im Rahmen der Fehlertoleranz noch überein.

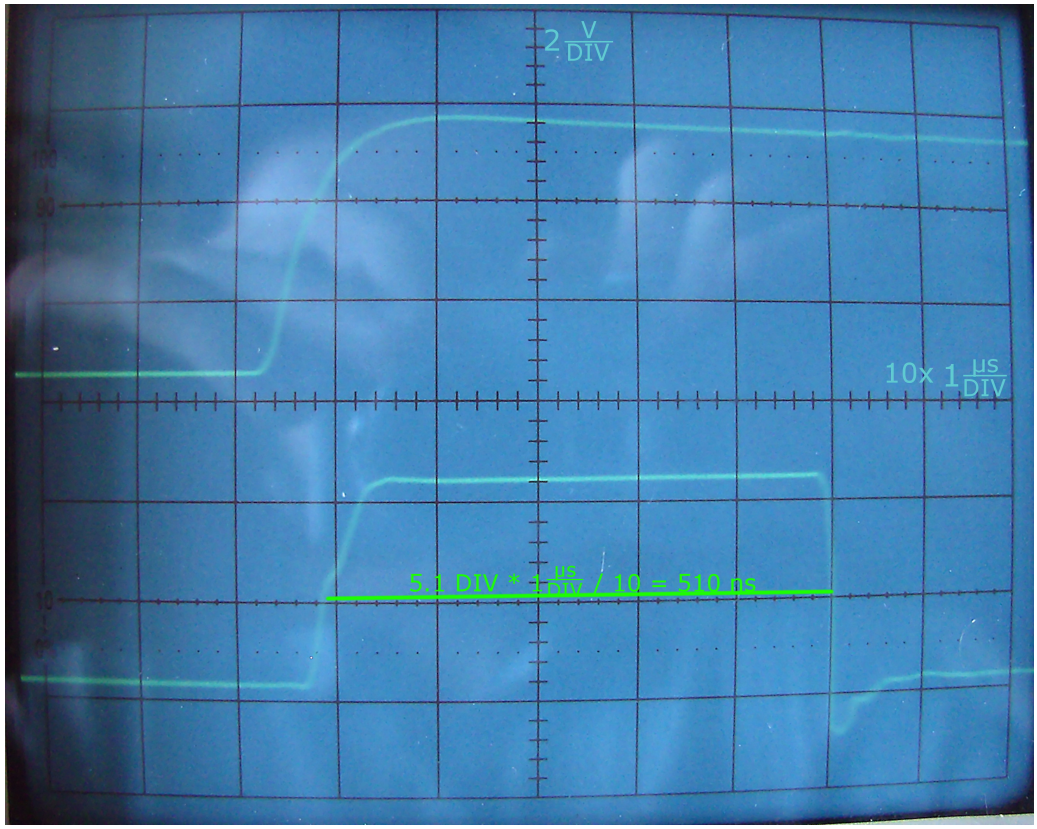

Abbildung 1.4: Mit dem Oszilloskop nachgemessene Latenz der vorbereiteten Schaltung